

PH - JP8212057 A 19960820

TI - FULL ADDER

PD - 1996-08-20

PA - NIPPON STEEL CORP

IN - TAKAYANAGI NOBUO; NAKAGAMI SHUICHI; YAMADA YOSHIHIRO

IC - G06F7/50

PR - JP19950039103 19950203

OPD - 1995-02-03

PH - JP8212057 A 19960820 DW199643 G06F7/50 007pp

ii - Full adder circuit - connects control terminal of switching circuits directly to logic circuit to obtain sum and carry outputs

AB - J08212057 The full adder includes an XNOR (1) and an XOR circuit (2). The circuits input a number signal (An) and a cardinal number signal (Bn). The XNOR circuit outputs an inverted exclusive OR signal and an XOR circuit outputs an exclusive OR signal of inputted number signal and cardinal number signal. The sum signal (Sn) is input to a carry input terminal (6). The carry input terminal is connected to a inversion circuit (3) so that sum signal is inverted.

- In order to obtain a sum signal, the output terminals of XNOR circuit and XOR circuit are connected to the control terminals of the switches and to a sum output end (8). Depending upon the output of XNOR circuit the switches (S3,S4) are activated to achieve a sum signal. To obtain a carry signal, the output terminal of XNOR circuit and XOR is connected to the control terminal of the set of switches and the carry output end (7). Depending upon the output of the XNOR circuit and XOR circuit, switches (S1,S2) are activated to get the carry signal at the carry output end.

- ADVANTAGE - Reduces circuit area by employing fewer number of transistors and consequently wiring is made very easy.

-(Dwg.1/5)

IC - G06F7/50

PR - JP19950039103 19950203

OPD - 1995-02-03

PH - JP8212057 A 19960820

PD - 1996-08-20

BEST AVAILABLE COPY

TI - FULL ADDER

AB - PURPOSE: To provide a full adder which consists of a small number of transistors.

- CONSTITUTION: A full adder consists of an XNOR circuit 1 which inputs an augend signal A_n and an addend signal B_n and obtains an inverted signal of an exclusive OR, an XOR circuit 2 which inputs the signals A_n and B_n and obtains an exclusive OR, the 1st and 2nd switch circuits S1 and S2 which output the signal A_n or a carry signal C_{n-1} of the immediate lower digit to the next digit as a carry signal C_n in response to the output signals of the circuits 1 and 2, and the 3rd and 4th switch circuits S3 and S4 which output the signal C_{n-1} or the signal obtained by inverting the signal C_{n-1} by an inverting circuit 3 as a sum output signal S_n in response to the output signals of the circuits 1 and 2. In such a constitution, a logic circuit consisting of many transistors can be replaced with a switch circuit. Thereby, the total number of MOS transistors can be extremely decreased.

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-212057

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 7/50

G

審査請求 未請求 請求項の数 3 F D (全 7 頁)

(21)出願番号 特願平7-39103

(22)出願日 平成7年(1995)2月3日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 高柳 信夫

東京都千代田区大手町二丁目6番3号 新

日本製鐵株式会社内

(72)発明者 中上 修一

東京都千代田区大手町二丁目6番3号 新

日本製鐵株式会社内

(72)発明者 山田 義浩

東京都千代田区大手町二丁目6番3号 新

日本製鐵株式会社内

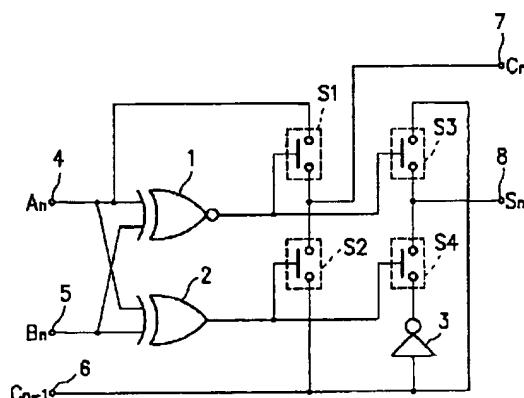
(74)代理人 弁理士 國分 孝悦

(54)【発明の名称】 全加算器

(57)【要約】

【目的】 少ない数のトランジスタで全加算器を構成できるようにする。

【構成】 被加数信号A_nと加数信号B_nとを入力して排他的論理和の反転信号を求めるXNOR回路1と、同じく被加数信号A_nと加数信号B_nとを入力して排他的論理和を求めるXOR回路2と、上記XNOR回路1およびXOR回路2の出力信号に応じて上記被加数信号A_n。またはすぐ下の桁からの桁上げ信号C_{n-1}のうちの何れかを次の桁への桁上げ信号C_n。として出力する第1および第2のスイッチ回路S1、S2と、上記XNOR回路1およびXOR回路2の出力信号に応じて上記桁上げ信号C_{n-1}。またはそれを反転回路3で反転した信号のうちの何れかを和出力信号S_n。として出力する第3および第4のスイッチ回路S3、S4とにより全加算器を構成することにより、多数のトランジスタで構成される論理回路を大幅にスイッチ回路に置き換えることができるようにして、全体として使用するMOSトランジスタの数を従来よりも少なくできるようにする。



1

【特許請求の範囲】

【請求項1】 入力端として被加数入力端、加数入力端および桁上げ入力端の3つを有し、出力端として和出力端および桁上げ出力端の2つを有する全加算器において、

上記被加数入力端および上記加数入力端から被加数信号および加数信号を入力して排他的論理和の反転信号を求めるXNOR回路と、

上記被加数入力端および上記加数入力端から被加数信号および加数信号を入力して排他的論理和を求めるXOR回路と、

上記桁上げ入力端から入力されるすぐ下の桁からの桁上げ信号の反転信号を求める反転回路と、

上記被加数入力端または上記加数入力端のうちの一方に
入力端子が接続され、上記XNOR回路の出力端子に制
御端子が接続され、上記桁上げ出力端に出力端子が接
続されており、上記制御端子に与えられる上記XNOR回
路の出力信号に応じて上記入力端子と上記出力端子と
の間を導通する第1のスイッチ回路と、

上記桁上げ入力端に
入力端子が接続され、上記XOR回路の出力端子に制
御端子が接続され、上記桁上げ出力端に出力端子が接
続されており、上記制御端子に与えられる上記XOR回
路の出力信号に応じて上記入力端子と上記出力端子と
の間を導通する第2のスイッチ回路と、

上記桁上げ入力端に
入力端子が接続され、上記XNOR回路の出力端子に制
御端子が接続され、上記和出力端に出力端子が接続
されており、上記制御端子に与えられる上記XNOR回
路の出力信号に応じて上記入力端子と上記出力端子と
の間を導通する第3のスイッチ回路と、

上記反転回路の出力端子に
入力端子が接続され、上記XOR回路の出力端子に制
御端子が接続され、上記和出力端に出力端子が接続
されており、上記制御端子に与えられる上記XOR回
路の出力信号に応じて上記入力端子と上記出力端子と
の間を導通する第4のスイッチ回路とにより構成され
ていることを特徴とする全加算器。

【請求項2】 上記XNOR回路および上記XOR回路は、
上記被加数信号および上記加数信号が同時に入力され
るように並列的に設けられていることを特徴とする請
求項1に記載の全加算器。

【請求項3】 入力端として被加数入力端、加数入力端
および桁上げ入力端の3つを有し、出力端として和出
力端および桁上げ出力端の2つを有する全加算器にお
いて、

上記被加数入力端および上記加数入力端から被加数信号
および加数信号を入力して排他的論理和を求めるXOR
回路と、

上記XOR回路により求められた排他的論理和の反転信
号を求める第1の反転回路と、

上記桁上げ入力端から入力されるすぐ下の桁からの桁上
げ信号の反転信号を求める第2の反転回路と、

2

上記被加数入力端または上記加数入力端のうちの一方に
入力端子が接続され、上記第1の反転回路の出力端子に
制御端子が接続され、上記桁上げ出力端に出力端子が接
続されており、上記制御端子に与えられる上記第1の反
転回路の出力信号に応じて上記入力端子と上記出力端子
との間を導通する第1のスイッチ回路と、

上記桁上げ入力端に
入力端子が接続され、上記XOR回路の出力端子に制
御端子が接続され、上記桁上げ出力端に出力端子が接
続されており、上記制御端子に与えられる上記XOR回
路の出力信号に応じて上記入力端子と上記出力端子と
の間を導通する第2のスイッチ回路と、

上記桁上げ入力端に
入力端子が接続され、上記第1の反転回路の出力端子に
制御端子が接続され、上記和出力端に出力端子が接続
されており、上記制御端子に与えられる上記第1の反転
回路の出力信号に応じて上記入力端子と上記出力端子と
の間を導通する第3のスイッチ回路と、

上記第2の反転回路の出力端子に
入力端子が接続され、上記XOR回路の出力端子に制
御端子が接続され、上記和出力端に出力端子が接続
されており、上記制御端子に与えられる上記XOR回
路の出力信号に応じて上記入力端子と上記出力端子と
の間を導通する第4のスイッチ回路とにより構成されて
いることを特徴とする全加算器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、全加算器に関するもの
である。

【0002】

【従来の技術】 デジタル信号の論理値を求める回路にお
いては、2桁目以上の加算を行わせるようにする論理回
路として全加算器が用いられている。

【0003】 図5に従来の全加算器の構成例を示す。図
5から明らかなように、従来の全加算器は、2つの半加
算器51、52と1つのOR（論理和）回路53とにより
構成されている。そして、上記2つの半加算器のう
ち、第1の半加算器51は、1つのXOR（排他的論理
和）回路54と1つのAND（論理積）回路55とにより
構成されている。また、第2の半加算器52も同様
に、1つのXOR回路56と1つのAND回路57とに
より構成されている。

【0004】 このような構成の全加算器において、被加
数入力A。と加数入力B。とすぐ下の桁からの桁上げ入
力C_{n-1}。とを用いて全加算を行う場合（nは2つの数
A、Bがn番目の桁の数であることを示す）、まず、2
つの論理信号A_n、B_nは、第1の半加算器51のXO
R回路54とAND回路55とにそれぞれ入力される。
そして、XOR回路54により上記入力された論理信号
A_n、B_nの排他的論理和S_nが求められるとともに、
AND回路55により第1のキャリC_nが求められる。

【0005】 上記XOR回路56により求められた排他

的論理和 S_1 は、第2の半加算器52のXOR回路56とAND回路57との一方の入力端子にそれぞれ入力される。また、上記XOR回路56とAND回路57の他方の入力端子には、上記すぐ下の桁からの桁上げ入力 C_{i-1} がそれぞれ入力される。そして、これらのXOR回路56とAND回路57とにより、上述の第1の半加算器51と同様にして、上記入力された排他的論理和 S_1 とすぐ下の桁からの桁上げ入力 C_{i-1} とのバイナリ加算が行われ、和出力 S_i と第2のキャリ C_i とが求められる。

【0006】上記AND回路57により求められた第2のキャリ C_i は、上記AND回路55により求められた第1のキャリ C_{i-1} と共にOR回路53に入力され、ここで論理和がとられる。そして、このOR回路53による演算結果がもう1つ上の桁への桁上げ出力 C_i として出力される。また、上記XOR回路56により求められた和出力 S_i は、3つの入力である被加数入力 A_i 、加数入力 B_i および桁上げ入力 C_{i-1} の最終的な加算結果として出力される。このようにして、表1に示すような真値表に基づく全加算が行われる。

【0007】

【表1】

A, B, C_{i-1}	S_i, C_i
0 0 0	0 0
0 0 1	1 0
0 1 0	1 0
0 1 1	0 1
1 0 0	1 0
1 0 1	0 1
1 1 0	0 1
1 1 1	1 1

【0008】

【発明が解決しようとする課題】一般に、XOR回路、反転回路（NOT回路）、NOR回路およびNAND回路は、それぞれ図2の（b）（c）（d）（e）のように構成されている。すなわち、XOR回路は2つのMOSトランジスタにより構成され、反転回路は2つのMOSトランジスタにより構成され、NOR回路は4つのMOSトランジスタにより構成され、NAND回路は4つのMOSトランジスタにより構成されている。

【0009】ここで、図2（b）のXOR回路において、入力Xの反転信号 \overline{X} を得るには、入力Xの値を反転させるための反転回路が必要である。そして、この反転回路は、図2（c）のように構成されている。また、図5に示したように、2つのXOR回路54、56は直列的に接続されており、それぞれに入力される値は異なるので、上記の反転回路は、図5のXOR回路54、56のそれぞれに1つつ必要になる。したがっ

て、XOR回路54、56は、それぞれ4個のMOSトランジスタが必要になる。

【0010】また、図5のOR回路53は、図2（d）のNOR回路の後段に図2（c）の反転回路を設けることにより構成されるものであるから、全部で6個のMOSトランジスタが必要になる。また、図5のAND回路55、57は、それぞれ図2（e）のNAND回路の後段に図2（c）の反転回路を設けることにより構成されるものであるから、それぞれ6個のMOSトランジスタが必要になる。

【0011】したがって、図5のような全加算器を構成するには、全部で26個のMOSトランジスタを備えることが必要となる。このように、従来の全加算器は、多くのトランジスタを必要とするため、回路が複雑になってしまい、そのため回路面積が大きくなってしまいう問題があった。

【0012】本発明は、このような問題を解決するために成されたものであり、少ないトランジスタで全加算器を構成することができるようにすることを目的とする。

20 【0013】

【課題を解決するための手段】本発明の全加算器は、入力端として被加数入力端、加数入力端および桁上げ入力端の3つを有し、出力端として和出力端および桁上げ出力端の2つを有する全加算器において、上記被加数入力端および上記加数入力端から被加数信号および加数信号を入力して排他的論理和の反転信号を求めるXNOR回路と、上記被加数入力端および上記加数入力端から被加数信号および加数信号を入力して排他的論理和を求めるXOR回路と、上記桁上げ入力端から入力されるすぐ下

30 の桁からの桁上げ信号の反転信号を求める反転回路と、上記被加数入力端または上記加数入力端のうち的一方に入力端子が接続され、上記XNOR回路の出力端子に制御端子が接続され、上記桁上げ出力端に出力端子が接続されており、上記制御端子に与えられる上記XNOR回路の出力信号に応じて上記入力端子と上記出力端子との間を導通する第1のスイッチ回路と、上記桁上げ入力端に入力端子が接続され、上記XOR回路の出力端子に制御端子が接続され、上記桁上げ出力端に出力端子が接続されており、上記制御端子に与えられる上記XOR回路の出力信号に応じて上記入力端子と上記出力端子との間を導通する第2のスイッチ回路と、上記桁上げ入力端に入力端子が接続され、上記XNOR回路の出力端子に制御端子が接続され、上記和出力端に出力端子が接続されており、上記制御端子に与えられる上記XNOR回路の出力信号に応じて上記入力端子と上記出力端子との間を導通する第3のスイッチ回路と、上記反転回路の出力端子に

導通する第4のスイッチ回路とにより構成されていることを特徴とするものである。

【0014】本発明の他の特徴とするところは、上記XNOR回路および上記XOR回路が、上記被加数信号および上記加数信号が同時に入力されるように並列的に設けられていることを特徴とするものである。

【0015】本発明のその他の特徴とするところは、入力端として被加数入力端、加数入力端および桁上げ入力端の3つを有し、出力端として和出力端および桁上げ出力端の2つを有する全加算器において、上記被加数入力端および上記加数入力端から被加数信号および加数信号を入力して排他的論理和を求めるXOR回路と、上記XOR回路により求められた排他的論理和の反転信号を求める第1の反転回路と、上記桁上げ入力端から入力されるすぐ下の桁からの桁上げ信号の反転信号を求める第2の反転回路と、上記被加数入力端または上記加数入力端のうちの一方に入力端子が接続され、上記第1の反転回路の出力端子に制御端子が接続され、上記桁上げ出力端に出力端子が接続されており、上記制御端子に与えられる上記第1の反転回路の出力信号に応じて上記入力端子と上記出力端子との間を導通する第1のスイッチ回路と、上記桁上げ入力端に入力端子が接続され、上記XOR回路の出力端子に制御端子が接続され、上記桁上げ出力端に出力端子が接続されており、上記制御端子に与えられる上記XOR回路の出力信号に応じて上記入力端子と上記出力端子との間を導通する第2のスイッチ回路と、上記桁上げ入力端に入力端子が接続され、上記第1の反転回路の出力端子に制御端子が接続され、上記和出力端に出力端子が接続されており、上記制御端子に与えられる上記第1の反転回路の出力信号に応じて上記入力端子と上記出力端子との間を導通する第3のスイッチ回路と、上記第2の反転回路の出力端子に入力端子が接続され、上記XOR回路の出力端子に制御端子が接続され、上記和出力端に出力端子が接続されており、上記制御端子に与えられる上記XOR回路の出力信号に応じて上記入力端子と上記出力端子との間を導通する第4のスイッチ回路とにより構成されていることを特徴とするものである。

【0016】

【作用】本発明は上記技術手段より成るので、例えば1つのMOSトランジスタで構成されるスイッチ回路が4個適当に配置されることにより、多数のMOSトランジスタで構成される論理回路を多く用いた従来の全加算器と同じ機能を、4個のスイッチ回路と少数の論理回路とで実現することができるようになり、従来の全加算器における論理回路を大幅にスイッチ回路に置き換えて全加算器を構成することが可能となる。

【0017】また、本発明の他の特徴によれば、XNOR回路とXOR回路に共に同じ信号が入力されるので、その入力段に設けることが必要な反転回路を上記XNOR

R回路とXOR回路とで共有することが可能となる。

【0018】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。図1は、本実施例の全加算器の構成を示す図である。この全加算器は、被加数入力端4、加数入力端5および桁上げ入力端6の3つの入力端から被加数信号A、加数信号B、およびすぐ下の桁からの桁上げ信号(キャリ)C₋₁を入力して所定の演算を行い、桁上げ出力端7および和出力端8の2つの出力端から次の桁への桁上げ信号(キャリ)C、および和出力信号S、を全加算の演算結果として出力するものである。

【0019】図1に示されるように、本実施例の全加算器は、XNOR回路1、XOR回路2、反転回路3およびそれぞれ1個のMOSトランジスタから成る第1～第4のスイッチ回路S1～S4により次のように構成されている。

【0020】すなわち、本実施例の全加算器では、まず、被加数信号A、と加数信号B、を入力して排他的論理和の反転信号を求めるXNOR回路1と、同じく被加数信号A、と加数信号B、とを入力して排他的論理和を求めるXOR回路2とを並列的に設けている。

【0021】また、第1のスイッチ回路S1は、その入力端子が上記被加数入力端4に接続され、制御端子が上記XNOR回路1の出力端子に接続され、出力端子が上記桁上げ出力端7に接続されており、XNOR回路1から出力される信号に応じてオン状態にされるようになっている。また、第2のスイッチ回路S2は、その入力端子が上記桁上げ入力端6に接続され、制御端子が上記XOR回路2の出力端子に接続され、出力端子が上記桁上げ出力端7に接続されており、XOR回路2から出力される信号に応じてオン状態にされるようになっている。

【0022】これにより、第1のスイッチ回路S1に入力される被加数信号A、および第2のスイッチ回路S2に入力される桁上げ信号C₋₁は共に、それぞれのスイッチ回路がオン状態の時に次の桁への桁上げ信号C、として出力される。つまり、本実施例の全加算器に入力される被加数信号A、および加数信号B、に応じて第1のスイッチ回路S1または第2のスイッチ回路S2の何れかがオンにされる。これにより、上記第1のスイッチ回路S1または第2のスイッチ回路S2に入力される被加数信号A、またはすぐ下の桁からの桁上げ信号C₋₁の何れかが次の桁への桁上げ信号C、として出力される。

【0023】また、第3のスイッチ回路S3は、その入力端子が上記桁上げ入力端6に接続され、制御端子が上記XNOR回路1の出力端子に接続され、出力端子が上記和出力端8に接続されており、XNOR回路1から出力される信号に応じてオン状態にされるようになっている。また、第4のスイッチ回路S4は、その入力端子が反転回路3の出力端子に接続され、制御端子が上記XOR回路2の出力端子に接続され、出力端子が上記和出力

端8に接続されており、XOR回路2から出力される信号に応じてオン状態にされるようになっている。ここで、上記反転回路3は、上記桁上げ入力端6から入力されるすぐ下の桁からの桁上げ信号 C_{i-1} の反転信号を求めるものである。

【0024】これにより、第3のスイッチ回路S3に入力されるすぐ下の桁からの桁上げ信号 C_{i-1} および第4のスイッチ回路S4に入力される桁上げ信号 C_{i-1} の反転信号は共に、それぞれのスイッチ回路がオン状態の時に、被加数信号A。と加数信号B。と桁上げ信号 C_{i-1} の最終的な加算結果である和出力信号S。として出力される。

【0025】つまり、本全加算器に入力される被加数信号A。および加数信号B。に応じて第3のスイッチ回路S3または第4のスイッチ回路S4の何れかがオンにされる。これにより、上記第3のスイッチ回路S3または第4のスイッチ回路S4に入力されるすぐ下の桁からの桁上げ信号 C_{i-1} またはその反転信号の何れかが和出力信号S。として出力される。

【0026】本実施例の全加算器を以上のように構成することにより、上記した表1と同じ結果を得ることができる。このことは、3つの入力である被加数信号A。、加数信号B。、およびすぐ下の桁からの桁上げ信号 C_{i-1} にそれぞれ“0”または“1”の値を当てはめてみることによって確認することができるが、以下では、表1に示した8通りの組み合わせのうちの一部を例にとって説明する。

【0027】例えば、被加数信号A。、加数信号B。および桁上げ信号 C_{i-1} の値が全て“0”であるとする。この場合、XNOR回路1では、被加数信号A。と加数信号B。との排他的論理和の反転がとられることにより、XNOR回路1の出力値は“1”となる。また、XOR回路2では、被加数信号A。と加数信号B。との排他的論理和がとられることにより、XOR回路2の出力値は“0”となる。したがって、第1のスイッチ回路S1と第3のスイッチ回路S3とがオンになり、第2のスイッチ回路S2と第4のスイッチ回路S4とがオフになる。

【0028】このとき、上記第1のスイッチ回路S1には被加数信号A。が入力されているので、この被加数信号A。の値“0”が次の桁への桁上げ信号C。として出力される。また、上記第3のスイッチ回路S3には、すぐ下の桁からの桁上げ信号 C_{i-1} が入力されているので、この桁上げ信号 C_{i-1} の値“0”が和出力信号S。として出力される。

【0029】また、被加数信号A。、加数信号B。および桁上げ信号 C_{i-1} の値がそれぞれ“0”“1”“0”であるとする。この場合、XNOR回路1では、被加数信号A。と加数信号B。との排他的論理和の反転がとられることにより、XNOR回路1の出力値は“0”とな

る。また、XOR回路2では、被加数信号A。と加数信号B。との排他的論理和がとられることにより、XOR回路2の出力値は“1”となる。したがって、第1のスイッチ回路S1と第3のスイッチ回路S3とがオフになり、第2のスイッチ回路S2と第4のスイッチ回路S4とがオンになる。

【0030】このとき、上記第2のスイッチ回路S2には、すぐ下の桁からの桁上げ信号 C_{i-1} が入力されているので、この桁上げ信号 C_{i-1} の値“0”が次の桁への桁上げ信号C。として出力される。また、上記第4のスイッチ回路S4には、上記桁上げ信号 C_{i-1} の反転信号が入力されているので、この桁上げ信号 C_{i-1} の反転信号の値“1”が和出力信号S。として出力される。

【0031】また、被加数信号A。、加数信号B。および桁上げ信号 C_{i-1} の値が全て“1”であるとする。この場合、XNOR回路1では、被加数信号A。と加数信号B。との排他的論理和の反転がとられることにより、XNOR回路1の出力値は“1”となる。また、XOR回路2では、被加数信号A。と加数信号B。との排他的論理和がとられることにより、XOR回路2の出力値は“0”となる。したがって、第1のスイッチ回路S1と第3のスイッチ回路S3とがオンになり、第2のスイッチ回路S2と第4のスイッチ回路S4とがオフになる。

【0032】このとき、上記第1のスイッチ回路S1には被加数信号A。が入力されているので、この被加数信号A。の値“1”が次の桁への桁上げ信号C。として出力される。また、上記第3のスイッチ回路S3には、すぐ下の桁からの桁上げ信号 C_{i-1} が入力されているので、この桁上げ信号 C_{i-1} の値“1”が和出力信号S。として出力される。

【0033】なお、図1に示した構成では、被加数信号A。を第1のスイッチ回路S1に入力するようにしているが、被加数信号A。の代わりに加数信号B。を第1のスイッチ回路S1に入力するようにしても同じ結果が得られる。

【0034】ところで、図1に示したXNOR回路1、XOR回路2および反転回路3は、それぞれ図2の(a)(b)(c)に示すように構成されている。また、上述したように、4つのスイッチ回路S1~S4は、それぞれ1個のMOSトランジスタで構成されている。

【0035】また、従来例のところで述べたように、図2(a)(b)に示す回路において入力Xの反転信号 \bar{X} を得るには、入力Xの値を反転させるための回路が必要であるが、本実施例では、上記XNOR回路1およびXOR回路2は並列的に設けられ、同じ被加数信号A。と加数信号B。とが入力されているので、入力X。の反転信号 \bar{X} 。を得るための回路をXNOR回路1とXOR回路2とで共有することができる。

【0036】したがって、図1のような全加算器は、実

際には、図3に示すように全部で12個のMOSトランジスタで構成することができる。このように、従来は全加算器を構成するのに全部で26個のMOSトランジスタが必要であったのに対して、本実施例によれば、12個のMOSトランジスタで全加算器を構成することができ、トランジスタの使用個数を減らすことができる。

【0037】また、図3からも分かるように、本実施例の全加算器では、上下の対称性に優れているので、各トランジスタの配置がしやすくなり、これにより、配線を容易にすることもできる。したがって、回路構成を簡素化することができ、回路面積を小さくすることができる。

【0038】さらに、図5に示した従来の全加算器では、第1の半加算器51による論理演算と第2の半加算器52による論理演算とOR回路53による論理演算との3段階に分けて全加算を行っている。これに対して、本実施例では、XNOR回路1による論理演算とXOR回路2による論理演算と反転回路3による論理演算とを並列的に行い、その後第1～第4のスイッチ回路S1～S4により適当な信号を選択するという2段階の処理で全加算を行っている。しかも、信号の選択は、各スイッチ回路S1～S2のオン/オフを切り換えるだけで行うことが可能であるので、全加算の演算速度を向上させることができる。

【0039】なお、以上の実施例では、XNOR回路1およびXOR回路2により、被加数信号A、および加数信号B、の排他的論理和とその反転信号とを得るようにしている。これに対し、図4に示すように、XOR回路2と反転回路9とを直列的に接続し、XOR回路2により排他的論理和を得るとともに、反転回路9によりその反転信号を得るようにしてもよい。

【0040】この場合も、全加算器を構成するのに使用するトランジスタの個数は12個であり、従来の26個に比べてトランジスタの使用個数を少なくすることができる。したがって、図4のように全加算器を構成した場合も、回路構成を簡素化することができ、回路面積を小さくすることができる。

【0041】

【発明の効果】本発明は上述したように、請求項1に記載の発明によれば、4個のスイッチ回路を適当に配置することにより、1個のXNOR回路と1個のXOR回路と1個の反転回路と上記4個のスイッチ回路とにより全

加算器を構成したので、多数のトランジスタで構成される論理回路の使用数を従来よりも減らすことができ、全加算器を構成するのに使用するトランジスタの数を格段に少なくすることができる。このため、全加算器の回路面積を小さくすることができるとともに、配線を容易にすることができる。

【0042】また、請求項2に記載の発明によれば、XNOR回路とXOR回路とを、それぞれの回路に被加数信号と加数信号とが同時に入力されるように並列的に設けたので、XNOR回路とXOR回路とでその入力段に設けることが必要な反転回路を共有することができ、トランジスタの使用数を更に減らすことができる。

【0043】また、請求項3に記載の発明によれば、4個のスイッチ回路を適当に配置することにより、1個のXOR回路と2個の反転回路と上記4個のスイッチ回路とにより全加算器を構成したので、多数のトランジスタで構成される論理回路の使用数を従来よりも減らすことができ、全加算器を構成するのに使用するトランジスタの数を格段に少なくすることができる。このため、全加算器の回路面積を小さくすることができるとともに、配線を容易にすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例である全加算器の構成を示す図である。

【図2】図1および図5に示した各回路の具体的な構成を示す図である。

【図3】図1に示した全加算器をMOSトランジスタを用いて表現した場合の構成を示す図である。

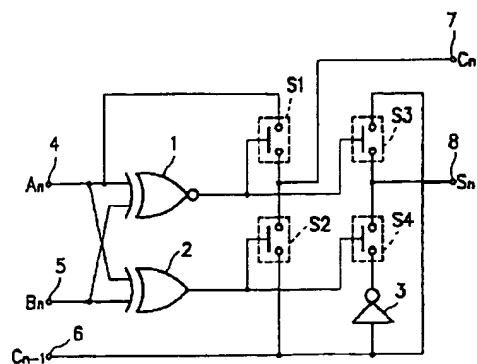
【図4】本発明の他の実施例である全加算器の構成を示す図である。

【図5】従来の全加算器の構成を示す図である。

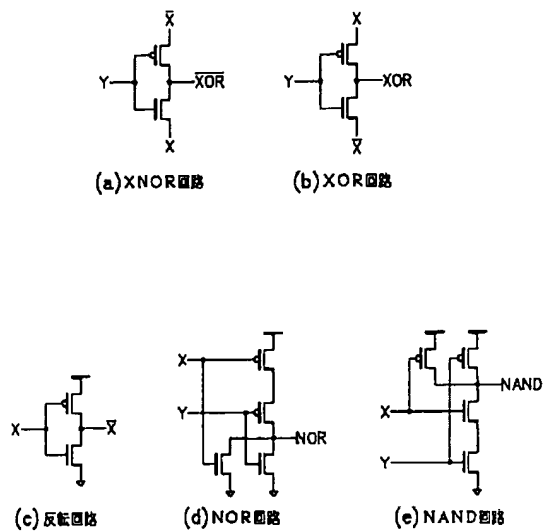
【符号の説明】

- 1 XNOR回路
- 2 XOR回路
- 3 反転回路
- 4 被加数入力端
- 5 加数入力端
- 6 桁上げ入力端
- 7 桁上げ出力端
- 8 和出力端
- 9 反転回路
- S1～S4 スイッチ回路

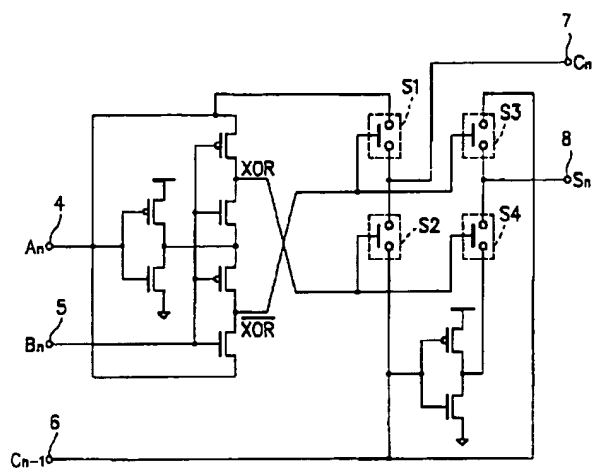
【図1】



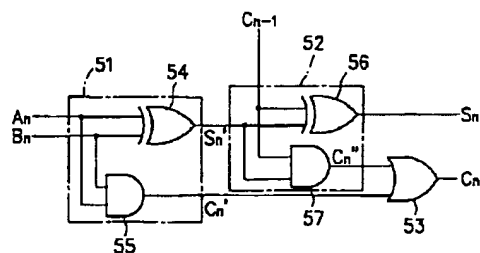
【図2】



【図3】



【図5】



【図4】

